

СТРУКТУРЫ ДЕКОДИРУЮЩИХ СЕТОК ПРЕОБРАЗОВАТЕЛЕЙ КОД-НАПРЯЖЕНИЕ ДВОИЧНОЙ СИСТЕМЫ СЧИСЛЕНИЯ

Показываются основные принципы построения декодирующих сеток(ДС) для преобразователей код-напряжение(ПКН)двоичной системы счисления (ДСС).

The subject of the article is about basic principles of creating scale transform circuits in voltage D/A conversion (DAC) schemes for the binary-coded numbers (BCD).

Введение

Декодирующие сетки (ДС) для ПКН – это сумматоры напряжений (параллельного типа или комбинированные), у которых коэффициенты передач пропорциональны весам разрядов декодируемого числа $g_i (i = \overline{1, n})$ [1]. Так как $k_i = m_d g_i (i = \overline{1, n})$, а $m_d = const$, следовательно $k_i \sim g_i (i = \overline{1, n})$.

Декодирующие сетки ДС для ПКН используются в устройствах связи с объектом (цифро-аналоговые связи системы управления с реальной аппаратурой) [2].

Для сумматора напряжений параллельного типа значения сопротивления резисторов $R_i (i = \overline{1, n})$ обратно пропорциональны требуемым значениям коэффициентов передачи $k_i (i = \overline{1, n})$, т.е. $R_i \sim 1/k_i (i = \overline{1, n})$, причем коэффициент пропорциональности можно выбрать любым, но он одинаков для всех $i (i = \overline{1, n})$ [4].

Рассмотрим декодирующие сетки однополярных ПКН для двоичной системы счисления ДСС.

Декодирующая сетка параллельного типа

Однополярная исходная математическая переменная $0 \leq A \leq 1$ кодируется «n» двоичными разрядами следующим образом $0, a_1 a_2 \dots a_n$.

При таком кодировании для двоичной системы счисления $g_i = 2^{-i} (i = \overline{1, n})$.

Таким образом расчет значений сопротивлений резисторов $R_i (i = \overline{1, n})$ декодирующей сетки параллельного типа для ПКН должен осуществляться по формуле

$$R_i \sim 2^{-i} (i = \overline{1, n}), \quad (1)$$

причем коэффициент пропорциональности выбирать любым. Обычно коэффициент пропорциональности выбирают таким, чтобы $R_1 = R$, т.е. $R_i = R \cdot 2^{i-1}$.

В соответствии с (1) сопротивление каждого следующего резистора должно быть в 2 раза больше, чем сопротивление предыдущего резистора, т.к. $\frac{R_{i+1}}{R_i} = 2 (i = \overline{1, n-1})$ [3].

На рисунке 1 приведена ДС параллельного типа для ПКН ДСС, для которой

$$R_i = R \cdot 2^{i-1} (i = \overline{1, n}), \quad (2)$$

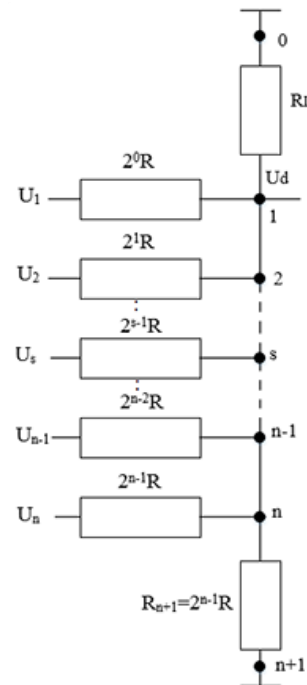


Рис. 1. Декодирующая сетка параллельного типа

В соответствии с (1) и значения $U_i = a_i \cdot U_{REF} (i = \overline{1, n})$, получаем

$$U_d = \frac{1}{\sum_{s=1}^n 2^{-s} + \frac{R}{2R_{n+1}} + \frac{R}{2R_L}} \cdot \left(\sum_{i=1}^n a_i 2^{-i} \right) \cdot U_{REF} \quad (3)$$

Первый множитель является масштабом декодирования m_d , второй множитель

$\sum_{i=1}^n a_i \cdot 2^{-i}$ - это величина математической переменной A , т.к. $U_d = m_d \cdot A \cdot U_{REF}$.

Поскольку $\sum_{s=1}^n 2^{-s}$ есть код $0.11\dots 1$, тогда $\sum_{s=1}^n 2^{-s} = 1 - 2^{-n}$ и масштаб декодирования m_d определяется по следующей формуле

$$m_d = \frac{1}{1 - 2^{-n} + \frac{R}{2R_{n+1}} + \frac{R}{2R_L}}$$

Для того, чтобы масштаб декодирования m_d не зависел от количества разрядов n , значение сопротивления R_{n+1} необходимо выбрать равным $R_{n+1} = R \cdot 2^{n-1} = R_n$

При этом значение m_d та будет определяться по формуле $m_d = \frac{1}{1 + \frac{R}{2R_L}}$

В режиме холостого хода (при $R_L = \infty$) $m_d = \frac{1}{2}$, а для $R_L = R - m_d = \frac{2}{3}$.

В такой параллельной декодирующей сетке ПКН ДСС большой разброс номиналов $R_{max}/R_{min} = 2^{n-1}$ и большое количество номиналов резисторов (n).

Комбинированные структуры ДС ПКН ДСС

Для уменьшения количества номиналов и уменьшения их разброса используют эквивалентные преобразования структуры, т.е. переходят к комбинированным структурам сумматора напряжений. Для этого определяют значения $R_{eq,s+1} (s = \overline{1, n-1})$, выбирают значения $C_{s+1} (s = \overline{1, n-1})$ и рассчитывают значения сопротивлений резисторов связи $R_{s,s+1} (s = \overline{1, n-1})$ по формуле

$$R_{s,s+1} = \frac{C_{s+1} - 1}{C_{s+1}} R_{eq,s+1} (s = \overline{1, n-1})$$

Если выбрать $C_{s+1} = 2$, то при включении одного резистора связи сопротивления примыкающих к нему резисторов (R_s и новое R_{s+1}) становятся одинаковыми.

Для декодирующей сетки ДСС, приведенной на рис. 1, значение сопротивления $R_{eq,s+1} = R \cdot 2^{s-1} = R_s$, где $R_{eq,s+1} = R \cdot 2^{s-1}$ ($R_{eq,s+1}$ - это эквивалентное сопротивление части схемы, начиная с R_{s+1} и заканчивая R_{n+1}).

Так как $R_s = R \cdot 2^{s-1}$, сопротивление резистора R_{s+1} уменьшается в 2 раза ($C_{s+1} = 2$), и новое значение сопротивления резистора R_{s+1} будет равно сопротивлению резистора R_s .

$$\frac{R_{s+1}}{2} = \frac{2^s R}{2} = R \cdot 2^{s-1} = R_s$$

Кроме того, при включении любого одного резистора связи $R_{s,s+1} (s = \overline{1, n-1})$ исчезает один старший номинал $R \cdot 2^{n-1}$, т.к.

$$\frac{R_n}{2} = \frac{R_{n+1}}{2} = \frac{2^{n-1} \cdot R}{2} = R \cdot 2^{n-2}$$

Таким образом, если включить $(n-1)$ резистор связи ($R_{12}, R_{23}, \dots, R_{n-1,n}$), то исчезает номинал.

При включении любого одного резистора связи $R_{s,s+1} (s = \overline{1, n-1})$ сопротивление этого резистора связи в 2 раза меньше, чем сопротивление резистора R_s т.к. для $C_{s+1} = 2_n$, получаем

$$R_{s,s+1} = 0.5 R_{eq,s+1} = 0.5 R_s (s = \overline{1, n-1}).$$

Таким образом, если включить $(n-2)$ резистор связи $R_{s,s+1} (s = \overline{2, n-1})$ новый номинал не появляется, а $(n-2)$ номинала исчезают.

Если исходная ДС параллельного типа содержала 2 разных номиналов (без учета R_L), то после включения $(n-2)$ -х резисторов связи $R_{s,s+1} (s = \overline{2, n-1})$ при $C_{s+1} = 2 (s = \overline{2, n-1})$ получается минимальная комбинированная структура ДС (рис. 2а) из двух номиналов $R - 2R$, т.к. $(n-2) = 2$.

При включении еще одного резистора связи R_{12} и выборе $C_2 = 2$, сопротивление

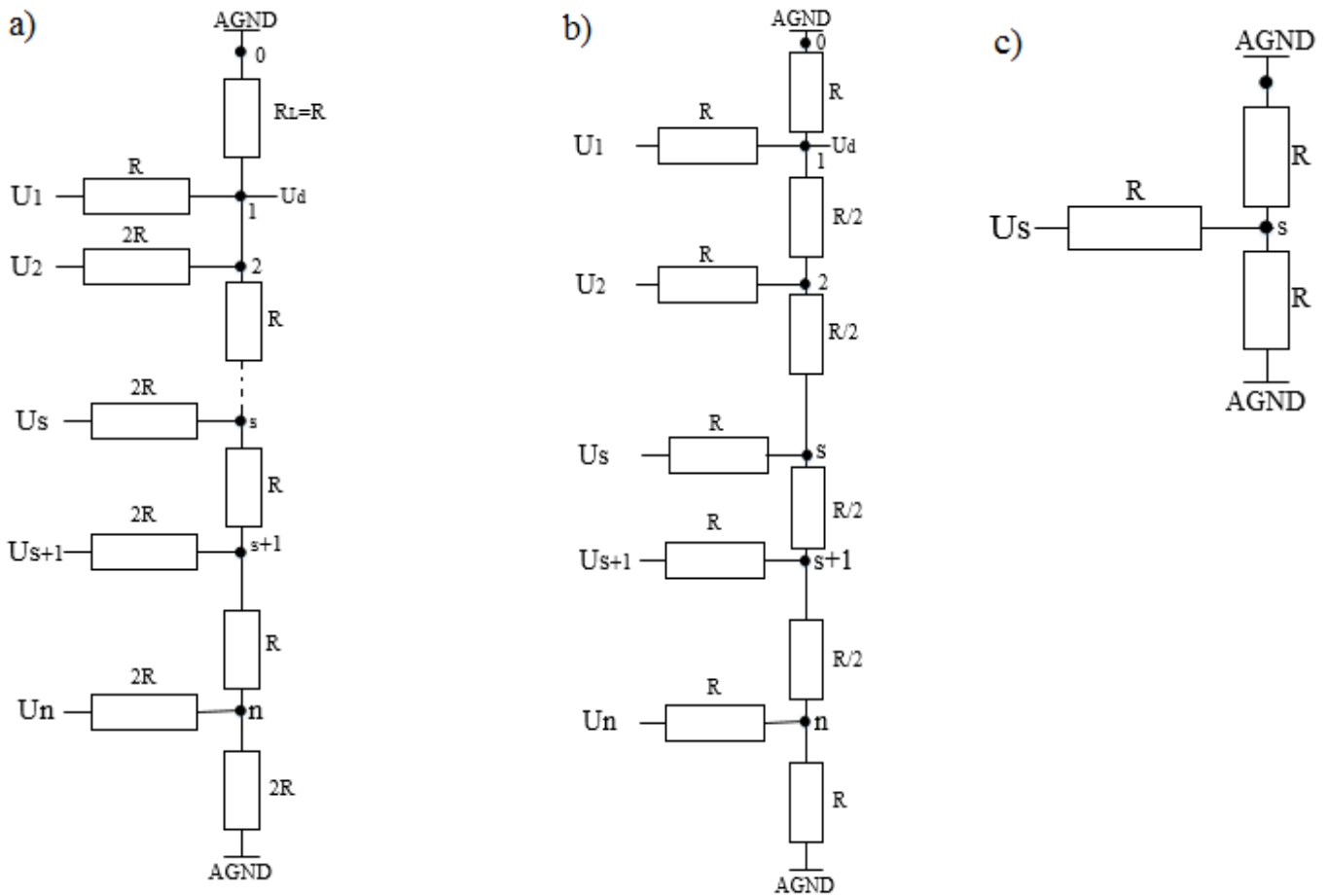


Рис. 2. Минимальные комбинированные структуры ДС ПКН ДСС

$R_{12} = R/2$ и получаем также минимальную комбинированную структуру ДС (рис. 2b) из двух номиналов $R - R/2$, т.к. один (младший) номинал $R/2$ добавился, а один (старший) номинал $2R$ исчез. При $R_L = R, m_d = 2/3$ и такая ДС называется цепной сеткой.

Интересно отметить, что для такой цепной сетки эквивалентное сопротивление от любой точки в любой из трех направлений равно R . Следовательно, $R_{OUT} = R/3$, а эквивалентное входное сопротивление по любому входу ДС равно $1,5R$ (рис. 2c).

В таких комбинированных структурах ДС разброс номиналов – 2, количество номиналов – 2, но количество резисторов $(2n - 1)$ или $2n$.

Комбинированные структуры ДС ПКН

Кроме приведенных выше минимальных комбинированных структур ДС для ДСС используются и другие комбинированные структуры.

Одна из наиболее распространенных структур предусматривает включение резисторов связи между тетрадами (R_{45}, R_{89} и т.д.) при выборе C_5, C_9 и т.д. равными 16.

Тогда $R_{eq5} = 8R, R_{45} = 7.5R$ и получается комбинированная ДС для ДСС (рис. 3a) из 5 номиналов и разброс номиналов в 8 раз, при количестве резисторов $1,25n$ (без учета R_L), где n - количество двоичных разрядов. На рис. 3a приведена такая ДС для $n=12$.

Если дополнительно в такой ДС включить резисторы связи между парами резисторов ($R_{23}, R_{67}, R_{10,11}$... и т.д.) при выборе C_3, C_7, C_{11} и т.д. равными 4, и резисторы связи между тетрадами (R_{45}, R_{89} ... и т.д.) при выборе C_5, C_9 и т.д. равными также 4, тогда $R_{eq3} = 2R; R_{23} = 1.5R; R_{eq5} = 8R; R_{45} = 6R$.

В результате получается оптимальная комбинированная ДС $R - 1.5R - 2R$ ПКН ДСС из 3-х номиналов и разбросе номиналов в 2 раза при количестве

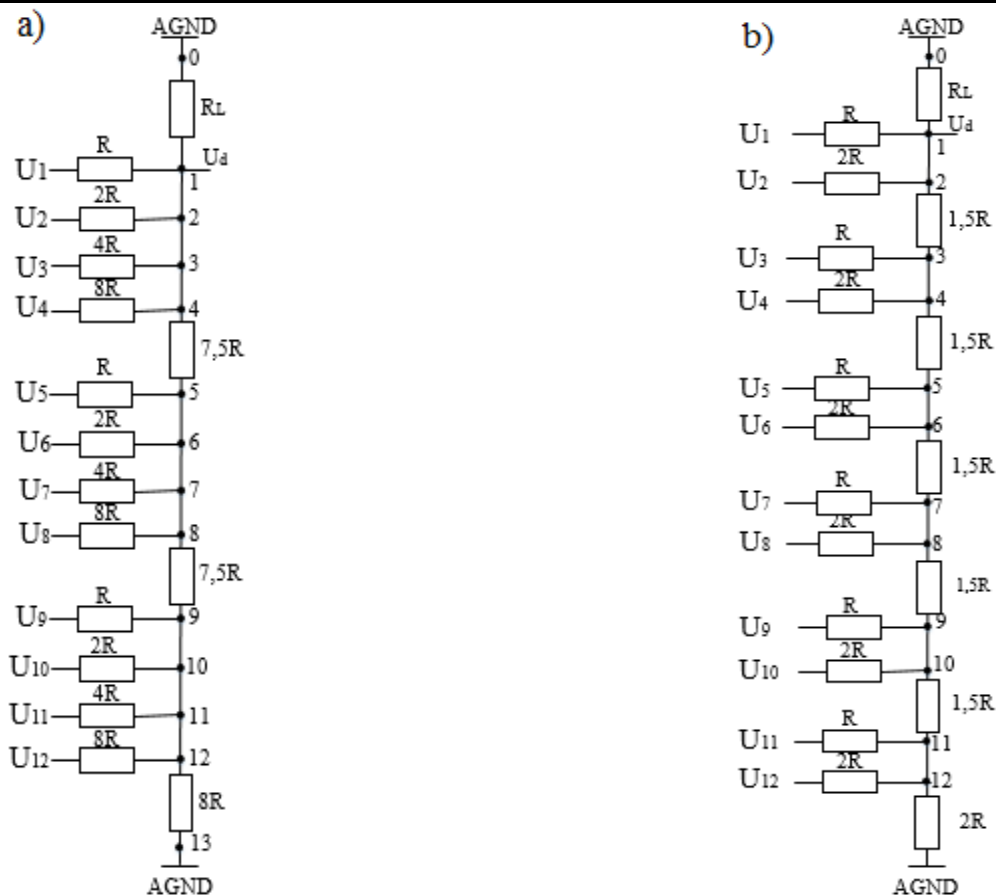


Рис. 3. Комбинированные структуры ДС ПКН для ДСС

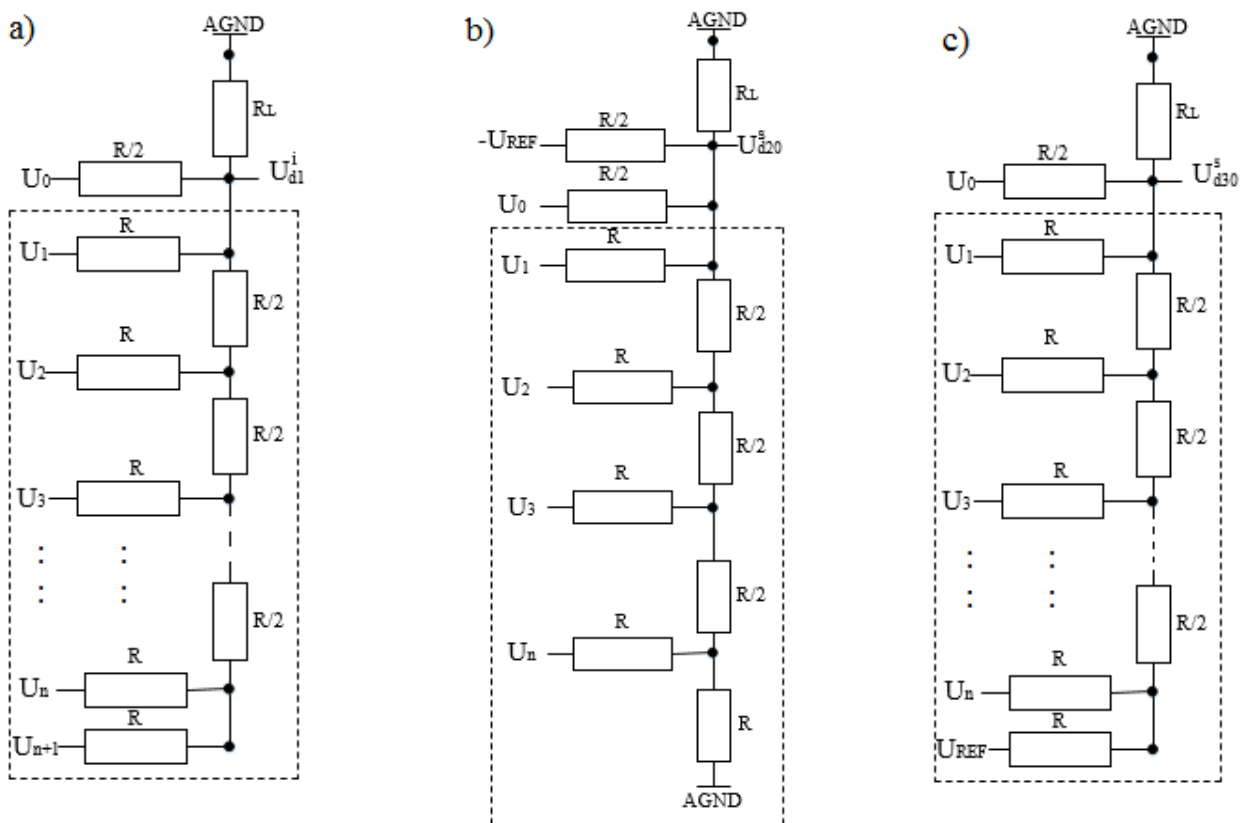


Рис. 4. Декодирующие сетки биполярных ПКН кодов ДС

резисторов $1.5n$. (без учета R_L). Такая оптимальная комбинированная ДС для $n=12$ приведена на рис. 3б.

Декодирующие сетки для биполярных ПКН ДСС могут быть легко получены добавлением к ДС однополярного ПКН ДСС (рис. 2 или 3) одного или двух входов.

На рис. 4а представлена ДС для биполярного ПКН инверсного кода ДСС с коммутируемым смещением, полученная из структуры $R - R/2$ рис. 5б, так как $g_0 = 1$ и $g_{n+1} = g_n$.

Следует отметить, что для ДС рис. 3б (при $R_L = \infty$) $m_d = 1/2$.

На рис. 4б представлены ДС для биполярного ПКН смещенного кода ДСС с фиксированным смещением (полученные из структуры $R - R/2$ рис. 2б), т.к. $g_0 = 1$.

На рис. 4в представлена ДС для биполярного ПКН смещенного кода ДСС с биполярными переключателями, также полученная из структуры $R - R/2$, т.к. $g_0 = 1$

и $g_{n+1} = g_n$.

Следует отметить, что для ДС рис. 4а при $R_L = \infty$ $m_d = 1/2$, при $R_L = R$ $m_d = 2/5$, при $R_L = R/2$ $m_d = 1/3$. Для ДС рис. 4б при $R_L = \infty$ $m_d = 1/3$, при $R_L = R$ $m_d = 2/7$, при $R_L = R/2$ $m_d = 1/6$. Для ДС рис. 4с при $R_L = \infty$ $m_d = 1$, при $R_L = R$ $m_d = 4/5$, при $R_L = R/2$ $m_d = 2/3$.

Выводы

Количество разных номиналов резисторов, разброс номиналов резисторов и количество резисторов используемых в структуре – параметры, по которым декодирующие сетки ПКН ДСС являются оптимальными.

Аналого-цифровые преобразователи должны обладать большой точностью, линейностью и большим напряжением изоляции.

Список литературы

1. Никамин В.А. Аналого-цифровые и цифро-аналоговые преобразователи. – Санкт-Петербург: Корона принт, 2012. – 224 с.
2. Кестер У. Применение высокоскоростных систем. – Москва: Техносфера, 2009. – 365 с.
3. Стюарт Болл. Аналоговые интерфейсы микроконтроллеров. – Москва: Додэка-XXI, 2007. – 360 с.
4. Волович Г.И. Схемотехника аналоговых и цифро-аналоговых электронных устройств. – Москва: Додэка-XXI, 2005. – 528 с.
5. Сентурия С.Д. Электронные схемы и их применения / Уэдлок Б.Д. – Москва: МИР, 1977. – 600 с.
6. Raj Kamal. Digital Systems Principles and Design. – Pearson Education India, 2007. – 524 с.
7. Корн Г.А. Электронные аналоговые и аналого-цифровые вычислительные машины; пер. с англ. / Г. А. Корн, Т. М. Корн; ред. Е. В. Добров. - М. : Мир, 1967 – 462 с.